

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09294068 A**(43) Date of publication of application: **11.11.97**

(51) Int. Cl

H03K 19/086**H03F 3/45****H03K 17/04****H03K 17/14****H03K 17/60****H03K 19/00****H03K 19/013**(21) Application number: **08105598**(22) Date of filing: **25.04.96**(71) Applicant: **NEC IC MICROCOMPUT SYST LTD**(72) Inventor: **ISHII MASAOKI
MORI KAZUHIRO**(54) **ECL CIRCUIT**

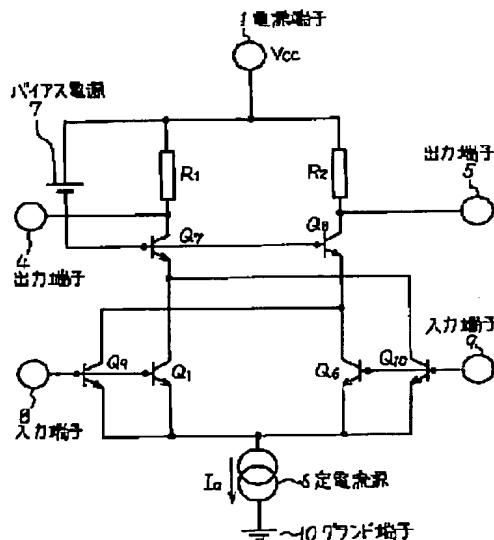
configured by resistors.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

PROBLEM TO BE SOLVED: To reduce a change in an operating speed due to temperature in the circuit consisting of differential transistor(TR) pair each having cascade connection TRs.

SOLUTION: Another differential TR pair consisting of TRs Q_9 , Q_{10} whose emitter electrode connects in common to that of TRs Q_1 , Q_6 is provided in addition to differential TR pairs consisting of the TRs Q_1 , Q_6 . An emitter area of the TRs Q_9 , Q_{10} is selected smaller than that of the TRs Q_1 , Q_6 . A collector electrode of the TRs Q_9 , Q_{10} connects to an opposite collector of the TRs Q_1 , Q_6 to the substantial differential relation. Since a very small current is always flowing to the circuit through the TRs Q_9 , Q_{10} , a processing delay time is small. Since the TRs Q_9 , Q_{10} are used to supply a very small current, the substantial differential pair TRs Q_1 , Q_6 and the added differential pair TRs Q_9 , Q_{10} follow the same change as to temperature. Thus, the temperature in the operating speed is less in comparison with the case that a path for the very small current is



(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/086			H 0 3 K 19/086	
H 0 3 F 3/45			H 0 3 F 3/45	Z
H 0 3 K 17/04			H 0 3 K 17/04	E
17/14			17/14	
17/60			19/00	C
審査請求 有 請求項の数 2 O L (全 9 頁) 最終頁に続く				

(21) 出願番号 特願平8-105598

(22) 出願日 平成8年(1996)4月25日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 石井 正明

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(72) 発明者 森 数洋

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

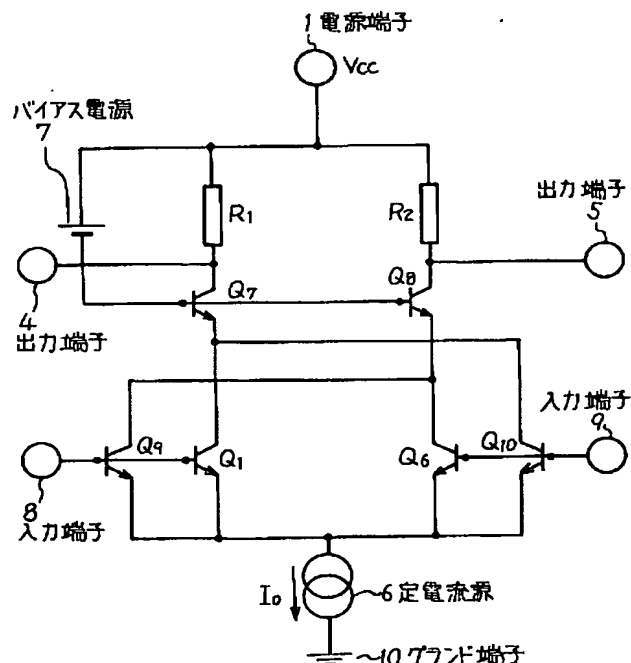
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 ECL回路

(57) 【要約】

【課題】カスケードトランジスタを持つ差動トランジスタ対で構成されるECL回路において、動作速度の温度による変化を従来よりも小さくする。

【解決手段】差動対トランジスタQ1, Q6に、それらトランジスタとエミッタ電極を共通にしたもう一つの差動対トランジスタQ9, Q10を設ける。トランジスタQ9, Q10は、エミッタ面積を、差動対トランジスタQ1, Q6のエミッタ面積より小さくする。コレクタ電極はそれぞれ、本来の差動対トランジスタQ1, Q6に対し、逆相側のコレクタ電極に接続する。トランジスタQ9, Q10を通して回路に常に微小電流が流れているので、遅れ時間が短い。微小電流を流すのにトランジスタを用いているので、本来の差動対トランジスタと追加した差動対トランジスタとは、温度に対し同じ変化をする。従って動作速度の温度変化は、微小電流経路を抵抗で構成するのに比べ、小さい。



【特許請求の範囲】

【請求項1】 差動増幅回路の出力抵抗とトランジスタのコレクタ電極との間にカスケード接続のトランジスタを挿入したECL回路において、

前記差動増幅回路の差動トランジスタ対を第1の差動トランジスタ対とし、エミッタ電極が前記第1の差動トランジスタ対と共通接続された第2の差動トランジスタ対を設け、その第2の差動トランジスタ対のコレクタ電極各各を前記第1の差動トランジスタ対の逆相となるコレクタ電極各各に接続すると共に、前記第2の差動トランジスタ対のエミッタ面積を前記第1の差動トランジスタ対のエミッタ面積よりも小さくしたことを特徴とするECL回路。

【請求項2】 第1乃至6のトランジスタから第1、第3、第5及び第6のトランジスタを選び、前記第3、第5のトランジスタ各各のエミッタ面積を同一とし、前記第1、第6のトランジスタ各各のエミッタ面積を前記第3、第5のトランジスタのエミッタ面積よりも小さい同一の面積とすると共に、前記第1、第3、第5及び第6のトランジスタのエミッタ電極を共通接続し、

前記第1、第3、第5及び第6のトランジスタの共通接続されたエミッタ電極を、定電流源を介して、第1電位の電源電位供給線に接続し、

前記第3のトランジスタのコレクタ電極と前記第6のトランジスタのコレクタ電極とを共通接続すると共に第2のトランジスタのエミッタ電極に接続し、

前記第1のトランジスタのコレクタ電極と前記第5のトランジスタのコレクタ電極とを共通接続すると共に第4のトランジスタのエミッタ電極に接続し、

前記第2のトランジスタのコレクタ電極を第1の抵抗素子を介して第2電位の電源電位供給線に接続し、

前記第4のトランジスタのコレクタ電極を第2の抵抗素子を介して前記第2電位の電源電位供給線に接続し、

前記第2のトランジスタのベース電極と前記第1のトランジスタのベース電極とを共通接続して、第3電位の電源電位供給線に接続し、

前記第1のトランジスタのベース電極と前記第3のトランジスタのベース電極とを共通接続して、第1の入力端子に接続すると共に、前記第5のトランジスタのベース電極と前記第6のトランジスタのベース電極とを共通接続して、第2の入力端子に接続し、

前記第2のトランジスタのコレクタ電極を第1の出力端子に接続すると共に、前記第4のトランジスタのコレクタ電極を第2の出力端子に接続したことを特徴とするECL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ECL回路に関し、特に、差動増幅回路の出力抵抗と差動対トランジスタとの間にカスケード接続のトランジスタを設けた型の

ECL回路における高速化の技術に関する。

【0002】

【従来の技術】図2に、この種のECL回路の一例の回路図を示す。図2を参照して、この回路は、差動対をなす二つのトランジスタ Q_1 、 Q_6 と、それぞれのトランジスタのコレクタ電極側に設けられた出力抵抗 R_1 、 R_2 とだけで構成される最も基本的なECL回路に、更にトランジスタ Q_7 、 Q_8 を設けた構成のものである。この新たに設けられたトランジスタ Q_7 、 Q_8 は、この回路の動作速度を高めるためのもので、差動対のトランジスタ Q_1 、 Q_6 のコレクタ電極と抵抗 R_1 、 R_2 との間に、電流経路をなすようにカスケード接続される。すなわち、トランジスタ Q_1 と抵抗 R_1 とからなる増幅回路を例にして考えると、上記の（カスケードトランジスタ Q_7 、 Q_8 を持たない）最も基本的なECL回路では、入力端子8から見たトランジスタ Q_1 のコレクタ・ベース間の容量 C_{CBM} は、トランジスタ Q_1 が本来持っているコレクタ・ベース間接合容量 C_{CB1} に対し、 $C_{CBM} = (1 + A_{v1})$ 倍に大きくなる（但し、 A_{v1} はトランジスタ Q_1 のゲイン）。その結果、容量 C_{CBM} と抵抗 R_1 とによる時定数が大きくなって、回路の高速動作が損われるのである。この現象は、ミラー効果として良く知られているものである。これに対し、カスケードトランジスタ Q_1 を挿入した場合は、 $A_{v1} = r_{o7} / r_{o1} \approx 1$ となる（但し、 r_{o7} 、 r_{o1} はそれぞれ、カスケードトランジスタ Q_7 、差動対トランジスタ Q_1 それぞれのエミッタ内部抵抗）ので、入力端子8から見たコレクタ・ベース間の容量 C_{CBM} は、本来のコレクタ・ベース間接合容量 C_{CB1} のたかだか2倍にしかならない。その結果、ミラー効果による動作速度の低下が軽減され、高速化される。このように、新たに付け加えられたカスケードトランジスタ Q_7 、 Q_8 は、差動対トランジスタ Q_1 、 Q_6 でのミラー効果を打ち消して、高速動作を行わせるのである。

【0003】ところで、ECL回路はもともと高速動作に特徴をもつ回路である。そして、その高速性を更に高めるために、上記のようなカスケードトランジスタを設けた回路が考えられたのであるが、この回路の特徴が本来高速性にあるところから、高速化に対する要求は、常に強い。そのような、高速化の要求に対応する方法の一つとして、差動対トランジスタ Q_1 、 Q_6 に対し、それぞれのトランジスタがオフ状態にあっても、そのオフ状態のトランジスタ側のカスケードトランジスタに微小な電流が流れているようにする手段を設けることが、考えられる。例えば特開昭57-164618号公報に開示された、微小電流の経路を備えるECL回路は、上記のような高速化技術の一例を示すものである。

【0004】図3に、上記公報に記載のECL回路（以後、高速型の回路と記す）の回路図を示す。また図4に、上記公報記載の発明の適用対象となった、高速化以前のECL回路の回路図を示す。図4を参照して、この

ECL回路は、差動増幅用のトランジスタ対と、その差動トランジスタ対の出力をラッチするラッチトランジスタ対と、差動増幅動作とラッチ動作とを切り替える電流スイッチトランジスタ対とからなる回路である。すなわち図4において、二つのトランジスタ Q_1 、 Q_6 が、差動トランジスタ対をなす。トランジスタ Q_2 、 Q_4 は、ラッチトランジスタ対をなす。トランジスタ Q_3 、 Q_5 は、電流スイッチトランジスタ対をなす。いま図4において、入力端子2への信号がハイ(H)レベルで、入力端子3への入力信号がロウ(L)レベルのとき、回路は入力端子8、9への入力信号を差動増幅し出力端子4、5へ出力する。一方、入力端子2への信号がLレベルで、入力端子3への入力信号がHレベルのとき、回路は上記の差動増幅の結果をラッチする。

【0005】次に、図3と図4とを比較すると、改良された高速型のECL回路では、図4に示す回路に加え、電流スイッチトランジスタ対 Q_3 、 Q_5 のそれぞれに対し、それぞれ抵抗 R_3 、 R_4 が並列に接続されている。これら抵抗 R_3 、 R_4 は、トランジスタ Q_3 (或いは、トランジスタ Q_5)がオフ状態になったときでも電流を流し、トランジスタ Q_2 (同、トランジスタ Q_4)がオフ状態にならないようにする。上記の抵抗 R_3 、 R_4 の効果について、以下に述べる。

$$t_{ON4} = C_{BE4} \times \Delta V_{BE4} / I_0$$

但し、 I_0 は、定電流源6の電流である。

【0008】ここで、例えば $C_{BE4} = 1 \text{ pF}$ 、 $I_0 = 1 \text{ mA}$

$$t_{ON4} = 2.86 \text{ nS}$$

という遅れが生じる。この遅れ時間 t_{ON4} は3、出力端子4、5の出力信号が切り替えるときの遅れ時間である。その遅れ時間を t_{dOUT} とすると、 $t_{dOUT} = t_{ON4} = 2.86 \text{ nS}$ となる。

【0009】次に、高速型のECL回路(図3)において、電源端子1の電圧 V_{CC} は5V、入力端子8の電圧 V_8 は4V、入力端子9の電圧 V_9 は3Vにそれぞれ固定とする。そして、入力端子2の電圧 V_2 と入力端子3の電圧 V_3 とが、2~3Vの範囲で切り替えるものとする。抵抗 $R_3 = R_4 = 100 \text{ k}\Omega$ とし、各トランジスタの β ★

$$I_{E4t1} = I_{R4t1} = \{ (V_{CC} - V_{BE4}) - (V_{2t1} - V_{BE3}) \} / R_4 \quad (3)$$

となる。この式(3)に上記の定数を代入すると、

$$I_{E4t1} = I_{R4t1} = 20 \mu\text{A}$$

を得る。

【0011】次に、時刻 t_2 において、 $V_2 = 2 \text{ V}$ 、 $V_3 = 3 \text{ V}$ に切り替ったとする。この切り替りの時、トランジスタ Q_4 のベース・エミッタ間接合容量 C_{BE} に蓄積さ★

$$I_{dis4t2} = I_{C5t2} + I_{R4t2}$$

となる。ここで、

$$I_{R4t2} = \{ (V_{CC} - V_{BE4}) - (V_{3t2} - V_{BE5}) \} / R_4 \quad (6)$$

であるので、

$$I_{R4t2} = 20 \mu\text{A}$$

$$I_{R3t2} = \{ (V_{8t2} - V_{BE1}) - (V_{2t2} - V_{BE3}) \} / R_3 \quad (7)$$

*【0006】図4において、差動増幅用入力端子8の電圧 V_8 がHレベルで、入力端子9の電圧 V_9 がLレベルであるものとする。このとき、動作切替え用入力端子2の電圧 V_2 がHレベルで、入力端子3の電圧 V_3 がHレベルであれば、この回路は差動増幅を行い、ラッチ動作のためのトランジスタ Q_5 、 Q_4 は、共にオフ状態にある。そして、トランジスタ Q_4 のベース・エミッタ間順方向電圧 V_{BE} は、トランジスタ Q_4 がオフ状態にあるので、0.3V程度になっている。尚、このトランジスタ Q_4 のベース・エミッタ間には、ベース・エミッタ間接合容量 C_{BE4} が存在している。

【0007】ここで、入力端子8の電圧 $V_8 = \text{Hレベル}$ 、入力端子9の電圧 $V_9 = \text{Lレベル}$ を保持したまま、入力端子2の電圧を $V_2 = \text{Lレベル}$ に、入力端子3の電圧を $V_3 = \text{Hレベル}$ に切り替えると、トランジスタ Q_5 、 Q_4 がオン状態に移る。このとき、トランジスタ Q_4 がオン状態に移るためには、そのトランジスタのベース・エミッタ間接合容量 C_{BE4} に約0.3Vに蓄積されている電荷を放電し、ベース・エミッタ間電圧 V_{BE4} を0.7V以上にする必要がある。この電圧 V_{BE4} の差電圧を ΔV_{BE4} とすると、トランジスタ Q_4 がオン状態に移る迄には、次式で示す遅れ時間 t_{ON4} が生じる。

$$(1)$$

※40 μA であるとする、

$$(2)$$

★ベース・エミッタ間順方向電圧 V_{BE} は、0.7Vとする。

更に、定電流源6の電流 I_0 は、図4に示す回路における値と同一で、140 μA とする。尚、各トランジスタにおいては、直流電流増幅率 $h_{FE} = \infty$ 、エミッタ電流 $I_E = \text{コレクタ電流 } I_C$ であるものとする。

【0010】先ず、時刻 t_1 において、 $V_2 = 3 \text{ V}$ 、 $V_3 = 2 \text{ V}$ であるものとする。このときトランジスタ Q_4 に流れる電流 I_{E4t1} は、抵抗 R_4 に流れる電流値 I_{R4t1} に等しく、

$$(4)$$

☆れていた電荷は放電されるので、その放電電流を I_{dis4t2} とする。電流 I_{dis4t2} は、トランジスタ Q_5 のコレクタ電流 I_{C5t2} と抵抗 R_4 に流れる電流 I_{R4t2} との和で表される。すなわち、

$$(5)$$

である。一方、抵抗 R_3 に流れる電流 I_{R3t2} は、下記の式(7)で表される。

$$(7)$$

従って、

$$I_{R3t2} = 20 \mu A$$

*

$$I_0 = I_{C5t2} + I_{R3t2} + I_{R4t2} = 140 \mu A \quad (8)$$

より、トランジスタ Q_5 のコレクタ電流 I_{C5t2} は、

$$I_{C5t2} = I_0 - (I_{R3t2} + I_{R4t2}) = 100 \mu A \quad (10)$$

となり、放電電流 I_{dis4t2} は、

$$I_{dis4t2} = I_{R4t2} + I_{C5t2} = 120 \mu A \quad (11)$$

となる。これで各定数が確定する。

※ジスタ Q_4 での遅れ時間 t_{ON4} を求める。トランジスタ

【0012】以上の結果に基いて、先ず、ラッチトラン※

Q_4 での遅れ時間 t_{ON4} は、

$$t_{ON4} = C_{BE4} \cdot \Delta V_{BE4} / I_{dis4t2} \quad (12)$$

である。ここで、

$$\Delta V_{BE4} = V_{BE4t2} - V_{BE4t1} \quad (13)$$

で示され、又、 V_{BE4t2} と V_{BE4t1} とは、

$$V_{BE4t1} = (kT/q) \ln (I_{E4t1} / I_s) \quad (14)$$

$$V_{BE4t2} = (kT/q) \ln (I_{E4t2} / I_s) \quad (15)$$

で表される。

★ $kT/q \approx 26 \text{ mV}$

【0013】但し、

I_E : エミッタ電流

k : ボルツマン定数

T : 絶対温度

q : 電子の電荷

I_s : 順方向飽和電流 (= 約 $1 \times 10^{-16} \text{ A}$)

★

$$\Delta V_{BE4} = 0.718 - 0.671$$

$$= 0.047 \text{ V}$$

を得る。この代入結果を式 (12) に代入すると、ラッ

$$t_{ON4} = 0.391 \text{ nS}$$

となる。

【0014】次に、電流スイッチトランジスタ Q_5 での☆

$$t_{ON5} = 2\pi \cdot C_{BE5} \cdot r_{e5}$$

但し、 r_{e5} はトランジスタのエミッタ内部抵抗であり、トランジスタ Q_5 の場合は、

$$r_{e5} = kT/q / I_{E5}$$

◆

$$r_{e5} = kT/q / I_{C5}$$

である。

【0015】図4に示される従来のECL回路におい *

$$I_0 = I_{C5} + I_{R3} + I_{R4} = 140 \mu A$$

である。

【0016】以下、上記の結果を用いて、トランジスタ※

$$r_{e5} = 258 \Omega$$

を得る。従って、常温における遅れ時間 t_{ON5} は、式

$$t_{ON5} = 1.621 \text{ nS}$$

となる。

【0017】これまでの考察で、入力端子2と入力端子3の入力信号が反転してから、ラッチ回路側のトランジ★

$$t_{dOUT} = t_{ON5} + t_{ON4}$$

$$= 2.012 \text{ nS}$$

となる。これより、図3に示す改良された高速型のECL回路は、それまでの一般的なECL回路(図4)に比べ、遅れ時間 t_{dOUT} が小さくなっていることが分る。

【0018】これまで述べた高速型ECL回路のよう

50

*を得る。更に、

$$I_0 = I_{C5t2} + I_{R3t2} + I_{R4t2} = 140 \mu A \quad (8)$$

$$I_{C5t2} = I_0 - (I_{R3t2} + I_{R4t2}) = 100 \mu A \quad (10)$$

$$I_{dis4t2} = I_{R4t2} + I_{C5t2} = 120 \mu A \quad (11)$$

※ジスタ Q_4 での遅れ時間 t_{ON4} を求める。トランジスタ

Q_4 での遅れ時間 t_{ON4} は、

$$t_{ON4} = C_{BE4} \cdot \Delta V_{BE4} / I_{dis4t2} \quad (12)$$

$$\Delta V_{BE4} = V_{BE4t2} - V_{BE4t1} \quad (13)$$

$$V_{BE4t1} = (kT/q) \ln (I_{E4t1} / I_s) \quad (14)$$

$$V_{BE4t2} = (kT/q) \ln (I_{E4t2} / I_s) \quad (15)$$

★ $kT/q \approx 26 \text{ mV}$

である。そこで、式 (14) に $I_{E4t1} = 20 \mu A$ を代入する。又、式 (15) に対しては、時刻 t_2 においてはトランジスタ Q_4 、 Q_5 が共にオン状態にあり、 $I_{E4t2} = I_{R4t2} + I_{C5t2} = I_{dis4t2}$ であるので、 I_{E4t2} として $I_{dis4t2} = 120 \mu A$ を代入する。そして、それぞれの代入結果を式 (13) に代入すると、

$$\Delta V_{BE4} = 0.718 - 0.671 = 0.047 \text{ V} \quad (16)$$

チトランジスタ Q_4 での遅れ時間 t_{ON4} は、

$$t_{ON4} = 0.391 \text{ nS} \quad (17)$$

☆遅れ時間 t_{ON5} を考える。この遅れ時間 t_{ON5} は、以下の式 (18) で示される。

$$t_{ON5} = 2\pi \cdot C_{BE5} \cdot r_{e5} \quad (18)$$

30 ◆で表される。然るに、トランジスタ Q_5 の電流増幅率 $h_{FE} = \infty$ としているので、 $I_{E5} = I_{C5}$ である。よって、

$$r_{e5} = kT/q / I_{C5} \quad (19)$$

*て、入力端子2がLレベル、入力端子3がHレベルのとき、定電流源6の電流 I_0 は、

$$I_0 = I_{C5} + I_{R3} + I_{R4} = 140 \mu A \quad (20)$$

※ Q_5 での遅れ時間 t_{ON5} を求める。式 (19) に式 (10) で得た $I_{C5t2} = 100 \mu A$ を代入すると、常温で、

$$r_{e5} = 258 \Omega \quad (21)$$

(18) より、

$$t_{ON5} = 1.621 \text{ nS} \quad (22)$$

★スタ Q_4 、 Q_5 がオン状態に移りてそれまでの差動増幅動作からラッチ動作に切り替わる迄の遅れ時間 t_{dOUT} は、

$$t_{dOUT} = t_{ON5} + t_{ON4} \quad (23)$$

に、電流切替えが行われるトランジスタ Q_3 、 Q_5 に並列に抵抗を設け、それらトランジスタがオフ状態にあるときでもこれにカスケード接続されたトランジスタ Q_2 、 Q_4 に微少電流が流れているようにすることによ

り、ECL回路を高速化することができる。ここで、図4に示す回路と図1に示す回路とは、ラッチ動作を行うか行わないかという機能上の相違を持つものの、回路の動作速度が決まるプロセスという観点からは、同一の回路である。従って、上述した図3に示す高速化技術は、これを図1に示すECL回路に適用したときにも、同様の作用効果を示すものと期待される。

【0019】すなわち、図4に示す回路においては、電流スイッチトランジスタQ3、Q5のオン、オフ状態が、入力端子2、3への入力信号の切替えによって、切り替えられる。そしてその切替えの結果、例えばトランジスタQ5がオフ状態からオン状態に遷移したものとすると、そのコレクタ電極に接続されている、オフ状態にあるラッチトランジスタQ2（又は、トランジスタQ4）のベース・エミッタ間容量の蓄積電荷が、オン状態になったトランジスタQ5を通して放電される。差動増幅動作からラッチ動作への移行に要する遅れ時間は、トランジスタQ5がオフ状態からオン状態に遷移するのに要する時間と、トランジスタQ2（同、トランジスタQ4）のベース・エミッタ間に蓄積された電荷が放電されるのに要する時間との和である。

【0020】一方、図1に示す回路では、差動対のトランジスタQ1、Q6のオン、オフ状態が、入力端子8、9への入力信号の切替えによって、切り替えられる。そしてその切替えの結果、それ迄オフ状態にあった差動対トランジスタQ1（又は、トランジスタQ6）のコレクタ電極に接続されている、オフ状態にあったカスケードトランジスタQ7（又は、トランジスタ8）は、ベース・エミッタ間容量に蓄積されていた電荷がオン状態になったトランジスタQ1（同、トランジスタQ6）を通して放電され、オン状態に遷移する。図1に示す回路で、入力信号の切替えから出力信号の切替えに要する時間は、上記の差動対トランジスタQ1（同、トランジスタQ6）がオン状態に移る時間と、カスケードトランジスタQ7（同、トランジスタ8）のベース・エミッタ間に蓄積されていた電荷が放電されるのに要する時間との和である。

【0021】つまり、図1に示す回路と図4に示す回路とでは、図1中の差動対トランジスタQ1、Q6と図4中の電流スイッチトランジスタQ3、Q5とが、オン、

$$R3(125)/R3(25) = R4(125)/R4(25)$$

$$= |1 - 3000 \times 10^{-6} \times (125 - 25)| = 0.7 \quad (23)$$

である。従って、温度 $T_j = 125^\circ\text{C}$ での放電電流 $I_{dis4}(125)$ は、抵抗 $R4$ に流れる電流 $I_{R4}(125)$ が式

$$I_{dis4}(125) = I_0 - I_{R4}(25)/0.7 \quad (24)$$

$$= 111.4 \mu\text{A} \quad (25)$$

となる。よって、温度 $T_j = 125^\circ\text{C}$ での遅れ時間 t

$$t_{ON4}(125) = 0.422 \text{ nS}$$

となる。

【0025】次に、温度 $T_j = 125^\circ\text{C}$ でのトランジ

*オフ状態の切替えが入力信号により行われる（電流切替え）という点で、それぞれ対応し、又、図1中のカスケードトランジスタQ7、Q8と図4中の差動対トランジスタQ1、Q6およびラッチトランジスタQ2、Q4とが、上記電流切替えの結果オン状態になったトランジスタを通して、ベース・エミッタの蓄積電荷が放電されてオフ状態からオン状態に遷移する（蓄積電荷放電）という点で、それぞれ対応することとなる。そして、いずれの回路においても、回路の動作速度は、上記電流切替え段階での、トランジスタのオフ状態からオン状態への遷移時間と、蓄積電荷放電段階での、オフ状態にあるトランジスタのベース・エミッタ間蓄積電荷の放電時間との和であるという点で、二つの回路は同一である。従って、図4に示す回路に対する図3の高速化技術を図1に示す回路に適用して、回路の高速化を計ることが可能である。

【0022】

【発明が解決しようとする課題】上述したように、図3に示す高速型のECL回路は、抵抗 $R3$ 、 $R4$ がない回路（図4）に比べ、遅れ時間 t_{dOUT} を小さくできるという長所を持つ。しかし、以下に示す欠点も合せ持っている。すなわち、遅れ時間 t_{dOUT} が比較的大きな温度特性を持つ点である。この遅れ時間における温度特性は、トランジスタQ4、Q5に流れる電流値が抵抗 $R3$ 、 $R4$ の温度係数により、変化してしまうことに起因する。以下に、その説明を行う。

【0023】常温におけるトランジスタQ4の遅れ時間 t_{ON4} 、トランジスタQ5の遅れ時間 t_{ON5} および出力端子での遅れ時間 t_{dOUT} はそれぞれ、上述の通り、

$$t_{ON4} = 0.391 \text{ nS}$$

$$t_{ON5} = 1.621 \text{ nS}$$

$$t_{dOUT} = t_{ON4} + t_{ON5} = 2.012 \text{ nS}$$

である。

【0024】次に、温度特性を考えるものとして、回路のジャンクション温度 $T_j = 125^\circ\text{C}$ とすると、以下のようになる。すなわち、いま定電流源6の電流値 I_0 は温度変化しないものとする。又、抵抗 $R3$ 、 $R4$ の温度係数を例えば $-3000 \text{ ppm}/^\circ\text{C}$ とすると、温度 $T_j = 125^\circ\text{C}$ での抵抗 $R3$ 、 $R4$ の抵抗値の変化の割合は、常温での抵抗値に対し、

※（6）で示される常温での電流値 $I_{R4}(25)$ に対し1/0.7倍になるので、

$t_{ON4}(125)$ は、式（12）より、

$$(26)$$

トランジスタQ5の遅れ時間 $t_{ON5}(125)$ を考える。トランジスタQ

5の温度 $T_j = 125^\circ\text{C}$ でのコレクタ電流 I

C5(125) は、

$$I_{C5(125)} = I_{O(125)} - I_{R3(125)} - I_{R4(125)} \quad (27)$$

である。ここで、定電流源6の電流値 $I_{O(125)}$ は温度変化せず $140 \mu A$ 一定であるのに対し、抵抗 R_3 、 R_4 *

*の電流値 $I_{R3(125)}$ 、 $I_{R4(125)}$ は抵抗体の温度特性により、上述のような影響を受ける。これにより、

$$I_{C5(125)} = I_{O(125)} - I_{R3(25)} / 0.7 - I_{R4(25)} / 0.7 \quad (28)$$

$$= 82.8 \mu A \quad (29)$$

に減る。又、トランジスタ Q_5 のエミッタ内部抵抗 r

$$r_{e5(125)} = 416.6 \Omega \quad (30)$$

に上昇する。よって、温度 $T_j = 125^\circ C$ におけるトランジスタ Q_5 での遅れ時間 $t_{ON5(125)}$ は、式(18)に※10

$$t_{ON5(125)} = 2.618 nS \quad (31)$$

となる。

★での遅れ時間 $t_{dOUT(125)}$ は、

【0026】これまでの議論から、温度 $T_j = 125^\circ C$ ★

$$t_{dOUT(125)} = t_{ON4(125)} + t_{ON4(125)} = 3.040 nS$$

となって、温度 $125^\circ C$ での出力端子の遅れ時間 t

☆を特徴とする。

$t_{dOUT(125)}$ は常温 $25^\circ C$ での遅れ時間 $t_{dOUT(25)} (= 2.012 nS)$ に比べ、50%以上も遅くなってしまうことが分る。

【0028】

【0027】

【課題を解決するための手段】本発明のECL回路は、20 差動増幅回路の出力抵抗とトランジスタのコレクタ電極との間にカスケード接続のトランジスタを挿入したECL回路において、前記差動増幅回路の差動トランジスタ対を第1の差動トランジスタ対とし、エミッタ電極が前記第1の差動トランジスタ対と共通接続された第2の差動トランジスタ対を設け、その第2の差動トランジスタ対のコレクタ電極各々を前記第1の差動トランジスタ対の逆相となるコレクタ電極各々に接続すると共に、前記第2の差動トランジスタ対のエミッタ面積を前記第1の差動トランジスタ対のエミッタ面積よりも小さくしたことを☆30

【発明の実施の形態】次に本発明の実施の形態について、図面を参照して説明する。図1は、本発明の一実施の形態によるECL回路の回路図である。図1を参照して、図3に示すECL回路と同一条件にするため、トランジスタ Q_8 のコレクタ接合容量 C_{BE8} を放電する電流 I_{dis8} を $120 \mu A$ に設定する。電源電圧 $V_{CC} = 5V$ 、バイアス電源7の電圧 $V_7 = 1.5V$ 一定として、本実施形態の動作速度を計算する。

【0029】一般に、トランジスタ Q_6 のコレクタ電流 I_{C6} とトランジスタ Q_{10} のコレクタ電流 I_{C10} との比は、エミッタ面積の比のみによって決る。すなわち、それぞれのトランジスタのエミッタ面積を A_{E6} 、 A_{E10} として、

$$I_{C6} : I_{C10} = A_{E6} : A_{E10} \quad (33)$$

である。従って、

$$I_O = I_{C6} + I_{C10} = 140 \mu A \quad (34)$$

において、 $A_{E6} : A_{E10} = 6 : 1$ とすると、

$$I_{C6} = 120 \mu A \quad (35)$$

$$I_{C10} = 20 \mu A \quad (36)$$

となる。

となる。

【0030】トランジスタ Q_8 での遅れ時間 t_{ON8} は、式(12)より、 $t_{ON8} = C_{BE8} \cdot \Delta V_{BE8} / I_{dis8}$ 2 で表される。時刻 t_1 において、入力端子2の電圧 $V_2 = L$ レベル、入力端子3の電圧 $V_3 = H$ レベルであるとすると、式(14)より、

$$V_{BE8t1} = 0.720 V$$

である。同様にして、時刻 t_2 において、入力端子2の電圧 $V_2 = H$ レベル、入力端子3の電圧 $V_3 = L$ レベルであるとすると、

$$V_{BE8t2} = 0.673 V$$

となる。従って、式(13)より、

$$\Delta V_{BE8} = 0.047 V$$

$$I_O = I_{C6} + I_{C10}$$

【0031】又、 $I_{dis8} = 120 \mu A$ であるから、常温におけるトランジスタ Q_8 での遅れ時間 t_{ON8} は、式(12)より、

$$t_{ON8} = 0.391 nS$$

である。

【0032】これ迄の議論で、本実施の形態におけるトランジスタ Q_8 での遅れ時間 t_{ON8} は、図3に示す従来の高速型の回路におけると同等であることが分る。

【0033】次に、差動増幅回路を構成するトランジスタ Q_6 での遅れ時間 t_{ON6} を、従来のECL回路における同様にして、求める。入力端子2がLレベル、入力端子3がHレベルのとき、定電流源6の定電流 I_O は、

$$(38)$$

で表される。

【0034】そこで、トランジスタQ₆での遅れ時間 t_{ON6} を考える。ここに、式(35)で得られた $I_{C6}=120\mu A$ を代入すると、常温でのトランジスタQ₆のエミッタ

$$t_{ON6}=1.355nS$$

を得る。

【0035】以上より、常温における出力端子4、子5での遅れ時間 t_{dOUT} は、図3に示す従来の高速型ECL回路におけると同様に、

$$t_{dOUT}=t_{ON8}+t_{ON6}=1.746nS$$

となる。

【0036】本実施の形態では、定電流源6の電流を $I_o=140\mu A$ と従来の回路と同じ条件にしたとき、遅れ時間 t_{dOUT} は、 $\{ (2.012-1.746)/2.012 \} \times 100=13.2\%$ 小さくなっている。換言すれば、図3に示す従来のECL回路と同じ遅れ時間 t_{\star}

$$I_o(125)=I_{C6}(125)+I_{C10}(125)$$

である。

【0038】ここで、定電流源電流 I_o には温度変化が★20

$$I_{C6}(125)=120\mu A$$

と、温度に拘らず一定となる。したがってトランジスタQ₆のエミッタ内部抵抗 r_{e6} の温度特性のみが作用する。温度 $T_j=125^\circ C$ におけるトランジスタQ₆での遅れ時間 $t_{ON6}(125)$ は、式(18)より、 $t_{ON6}(125)=\star$

$$t_{ON8}(125)=0.391nS$$

となる。

【0040】以上の結果、温度 $125^\circ C$ における遅れ時間 $t_{dOUT}(125)$ は、

$$t_{dOUT}(125)=t_{ON6}(125)+t_{ON8}(125)=1.806+0.391=2.197nS$$

【0041】これ迄の議論により、常温のときと温度 T_j ◆

*ミッタ内部抵抗 r_{e6} として、 $r_{e6}=215.6\Omega$ を得る。また、トランジスタQ₆のベース・エミッタ接合容量 $C_{BE6}=1pF$ とすると、トランジスタQ₆での遅れ時間 t_{ON6} は、式(18)より、

$$(39)$$

※ t_{dOUT} にするのであれば、定電流源電流 I_o を 13.2% 少くでき、低消費電力化を図れる。これは、図3に示す従来のECL回路では、ラッチ動作を行わせるために電流経路を三つの電流に分割せざるを得ないのに対し、本発明では二つの経路に分割するだけですむからである。つまり、同じ能力の定電流源を備えているとして、本発明の方が機能が少い分効率的に電流を流すことができ、高速化される。換言すれば、低消費電力化される。

【0037】次に、本実施の形態において、温度変化による動作速度の変化を考察する。図1において、ジャンクション温度 $T_j=125^\circ C$ とする。このとき、

$$(40)$$

★ないものとし、 $140\mu A$ 一定であるとする。すると、

$$(41)$$

☆ $1.806nS$ となる。

【0039】又、トランジスタQ₈に流れる電流は、式(41)より温度による変化を持たないので、温度 $T_j=125^\circ C$ のときも、

$$(42)$$

◆ $T_j=125^\circ C$ のときとで、遅れ時間の変化の割合は、従来のECL回路と本実施の形態の回路とでそれぞれ、表1のようになる。

【0042】

【表1】

回路構成	遅れ時間		遅れ時間 注1) 変化率 Δt_{dOUT}
	25℃	125℃	
従来の回路 (図3)	2.012 ^μ	3.040 ^μ	51.1%
実施の形態	1.746 ^μ	2.197 ^μ	25.8%

$$\text{注1)} \quad \Delta t_{dOUT} = \frac{t_{dOUT}(125) - t_{dOUT}(25)}{t_{dOUT}(25)} \times 100(\%)$$

【0043】表1を参照すると、微小電流経路をトランジスタQ₉、Q₁₀で構成している本実施の形態の回路の方が、抵抗R₃、R₄(図4参照)で構成している従来のECL回路より、温度変化による遅れ時間の変化が小さいことが、分る。

【0044】本実施の形態では、微小電流を流すのに、温度によってその絶対値が変わってしまう抵抗素子を使わずに、トランジスタを用いている。エミッタ面積を違え

た二種類のトランジスタを組み合わせることにより常時微小電流を流しているの、電流値はエミッタ面積によってのみ決定される。このように構成すると、温度変化があっても一つの回路内のトランジスタは同じ温度変化をするので、温度によるトランジスタQ₆のコレクタ電流 I_{C6} の変化は無い。従って、温度による遅延の変化は、微小電流経路を抵抗で構成する場合に比べ、非常に小さい。

【0045】

【発明の効果】以上説明したように、本発明によれば、温度による動作速度の低下が、従来のECL回路に比べて非常に小さいECL回路を提供できる。

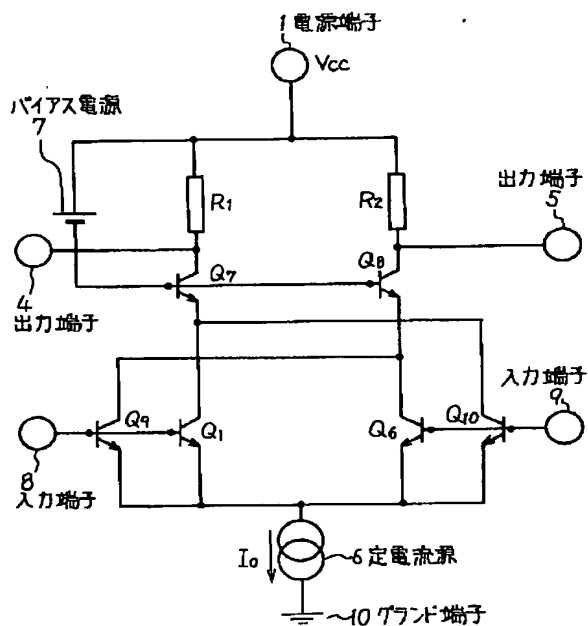
【図面の簡単な説明】

【図1】本発明の一実施の形態によるECL回路の回路図である。

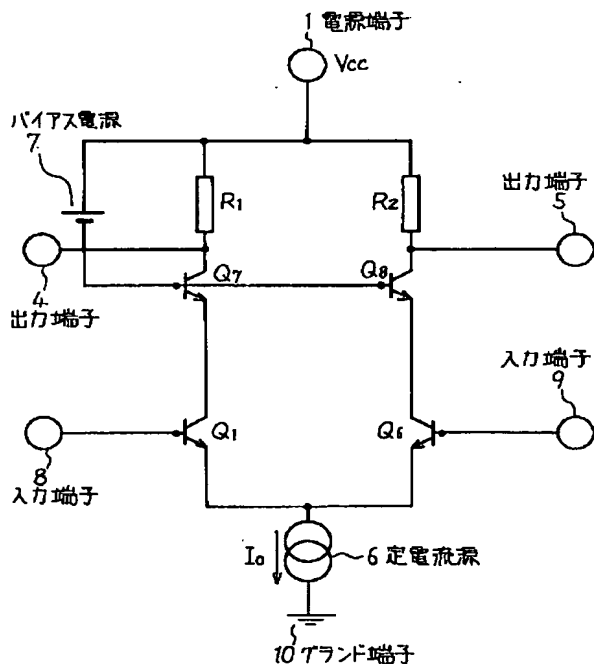
【図2】従来の技術によるECL回路の一例の回路図である。

【図3】従来の技術によるECL回路の他の例の回路図である。

【図1】



【図2】

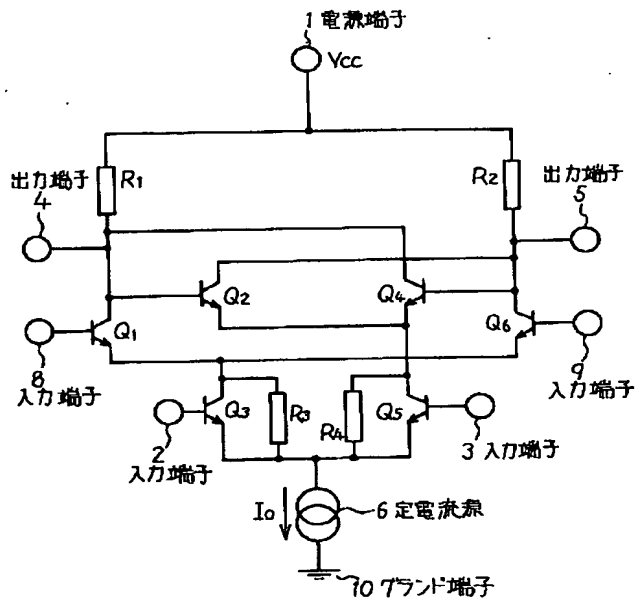


【図4】従来の技術によるECL回路の更に他の例の回路図である。

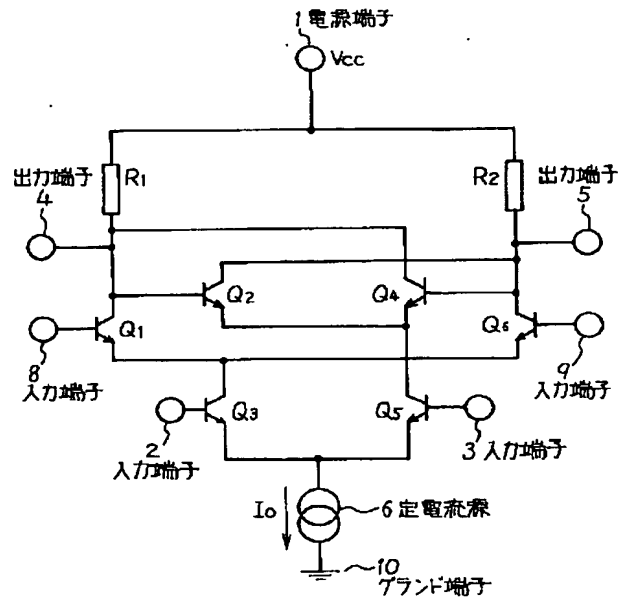
【符号の説明】

- 1 電源端子
- 2, 3 入力端子
- 4, 5 出力端子
- 6 定電流源
- 7 バイアス電源
- 8, 9 入力端子
- 10 10 グランド端子

【図3】



【図4】



フロントページの続き

(51) Int. Cl.⁶H 0 3 K 19/00
19/013

識別記号

庁内整理番号

F I

H 0 3 K 19/013
17/60

技術表示箇所

H